

工艺鉴定晶圆设计与开发

工艺鉴定晶圆设计与开发（TQV Design and PDK Maturity）是通过设计测试芯片来验证代工厂的制造工艺，并评估 PDK（含器件模型、设计规则等）的准确性与成熟度，以确保工艺稳定、模型可靠，从而支撑量产良率与一致性。

1、JEP001 标准

“JEP001”并非单一文件，而是 JEDEC（固态技术协会）发布的一系列关于半导体晶圆代工厂工艺认证的指南。其核心目标是规范芯片制造工艺的可靠性测试方法。

这一系列标准的主要特点如下：

① 不设硬性指标：它只规定测试和数据分析方法，不设具体的“通过/失败”阈值，也不推荐特定设备。

② 参考通用标准：在需要具体要求测试时，他会引用 JESD47 等业内通行的标准。

③ 分级认证：核心逻辑是将认证分为两个层次，Level 1（工艺机制验证）和 Level 2（应用可靠性验证）。该标准由多个子版本构成，各司其职，以下是当前的主要部分：

标准编号	版本（状态）	聚焦领域和主要内容
JEP001 - 3B	最新版（2024 年 9 月）	技术认证载体测试：针对 Level 2，通过对芯片进行寿命测试等，证明工艺能满足应用需求。
JEP001 - 1A	现行版（2018 年 9 月）	后道工序与介质完整性：专注于金属层间介质的可靠性测试。
JEP001 - 2A	现行版（2018 年 9 月）	前道晶体管层级：专注于等离子体损伤等晶体管核心特性的评估，常要求进行热载流子注入或偏压温度不稳定性测试。

2、TQV 设计

TQV 提供面向工艺鉴定的专用测试芯片设计与分析方法，结合 Keysight 4080 系列高精度参数测试平台，实现器件特性、可靠性与工艺窗口的系统评估，显著缩短工艺认证周期，并加快产品导入速度长达三个月。

TQV 是模块化测试芯片布局与定制化 PDK 验证流程的结合体，针对 Keysight 4080 系列的高精度直流/交流参数测试能力进行优化，数据采集效率提升显著。整个流程经过专门设计，生成带有完整设计属性与工艺变量标注的标准化数据，以支持高效的统计分析 with 根本原因定位。

TQV 提供百万级器件的统计分辨率、覆盖关键工艺变差的实验设计（DOE）、面积高效的结构布局以及自动化分析路径。业务目标实现无与伦比的工艺认证周转时间：短流程晶圆制造结合 Keysight 4080 的快速参数测试，可在数天内完成整批 TQV 晶圆的 100%测试与初步分析，为 PDK 成熟度评估与量产放行提供可靠依据。

TQV design

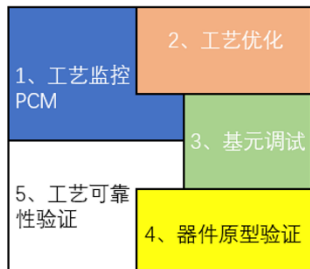
- 面向鉴定的测试结构
- 覆盖工艺角与器件匹配
- 面积高效的DOE布局

Keysight 4080 series

- 高精度直流/电容测试
- 专为TQV与PDK验证优化
- 稳定可靠的参数测量

Exensio Analytic Platform

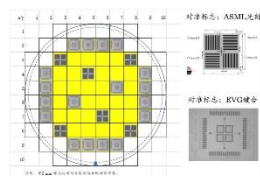
- 自动化数据分析
- 工艺窗口识别
- 器件建模与良率归因



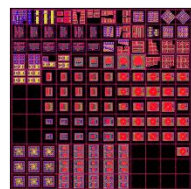
3、基于 TQV 的 PDK 认证与验证体系

TQV 设计对 PDK 成熟度达成与工艺平台顺利导入至关重要。稳健的测试结构规划与流片执行策略，是衔接工艺开发与设计团队、实现制程窗口验证与模型校准的基础。TQV 平面规划与器件布局、DOE 设计及原型导入服务，共同为 PDK 迭代收敛提供参数化洞察，在量产前识别器件失配、寄生效应与版图依赖风险。

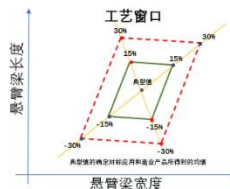
PCM 监控与基元调试支撑晶圆制造过程中的早期工艺健康度判定，降低流片试错成本。TQV 原型设计中引入 EVG 键合对准标志，使先进集成工艺具备可测性与快速诊断能力。通过 DOE 设计与流片服务协同，以最少测试芯片面积覆盖最多工艺变量，在优化成本前提下系统提升 PDK 成熟度。



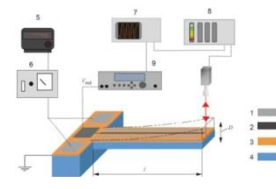
流片服务
Tape-Out Service



TQV 芯片原型设计与导入
TQV Prototype Design and Introduction



正交实验设计
DOE Design



工艺鉴定测试结构设计
Testkey Design